



THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re PATENT APPLICATION of

Masahiko NAGATOMO

Serial No.: 10/675,829

Filed: October 1, 2003

Attorney Docket No.: OKI.583

For: SEMICONDUCTOR MEMORY DEVICE

**CLAIM OF PRIORITY**

U.S. Patent and Trademark Office  
2011 South Clark Place  
Customer Window, Mail Stop Application Number  
Crystal Plaza Two, Lobby, Room 1B03  
Arlington, VA 22202

Sir:

Applicant, in the above-identified application, hereby claims the priority date under the International Convention of the following Korean application:

Appln. No. 2002-291116                      filed October 3, 2002

as acknowledged in the Declaration of the subject application.

A certified copy of said application is being submitted herewith.

Respectfully submitted,

VOLENTINE FRANCOS, P.L.L.C.

Adam C. Volentine  
Registration No. 33,289

12200 Sunrise Valley Drive, Suite 150  
Reston, Virginia 20191  
Tel. (703) 715-0870  
Fax. (703) 715-0877

Date: January 13, 2004

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日                      2 0 0 2 年 1 0 月    3 日  
Date of Application:

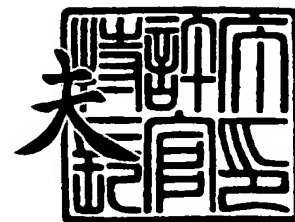
出 願 番 号                      特 願 2 0 0 2 - 2 9 1 1 1 6  
Application Number:  
[ST. 10/C]:                      [ J P 2 0 0 2 - 2 9 1 1 1 6 ]

出 願 人                      沖電気工業株式会社  
Applicant(s):                      株式会社 沖マイクロデザイン

2 0 0 3 年 1 0 月    9 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康



【書類名】 特許願

【整理番号】 KA003854

【提出日】 平成14年10月 3日

【あて先】 特許庁長官 太田 信一郎 殿

【国際特許分類】 G11C 16/06

【発明者】

【住所又は居所】 宮崎県宮崎郡清武町大字木原 7 0 8 3 番地 株式会社  
沖マイクロデザイン内

【氏名】 長友 雅彦

【特許出願人】

【識別番号】 000000295

【氏名又は名称】 沖電気工業株式会社

【特許出願人】

【識別番号】 591049893

【氏名又は名称】 株式会社 沖マイクロデザイン

【代理人】

【識別番号】 100086807

【弁理士】

【氏名又は名称】 柿本 恭成

【手数料の表示】

【予納台帳番号】 007412

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9001054

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体記憶装置

【特許請求の範囲】

【請求項 1】 読み出し動作時に読み出し対象のメモリセルに印加するドレイン電位を生成する電位発生回路を備えた電氣的に書き込みが可能な不揮発性の半導体記憶装置において、

前記電位発生回路は、動作許可信号が与えられたときに所定の駆動能力で前記ドレイン電位を生成する第 1 の発生手段と、該動作許可信号の有無に拘らず該所定の駆動能力よりも低い駆動能力で該ドレイン電位を生成する第 2 の発生手段とを有することを特徴とする半導体記憶装置。

【請求項 2】 読み出し動作時に読み出し対象のメモリセルに印加するドレイン電位を生成する電位発生回路を備えた電氣的に書き込みが可能な不揮発性の半導体記憶装置において、

前記電位発生回路は、動作許可信号が与えられたときに一時的に前記ドレイン電位を所定の電位よりも高い値に設定するように構成したことを特徴とする半導体記憶装置。

【請求項 3】 読み出し動作時に読み出し対象のメモリセルに印加するドレイン電位を生成する電位発生回路を備えた電氣的に書き込みが可能な不揮発性の半導体記憶装置において、

前記電位発生回路は、動作許可信号に基づいて出力電位を入力側に帰還して所定の前記ドレイン電位を生成する電位発生手段と、該動作許可信号が与えられたときに一時的に該出力電位の帰還を停止させて該ドレイン電位を上昇させる帰還停止手段とを有することを特徴とする半導体記憶装置。

【請求項 4】 読み出し動作時に読み出し対象のメモリセルに印加するドレイン電位を生成して、複数のメモリアレイに供給するドレイン電位発生回路を備えた電氣的に書き込みが可能な不揮発性の半導体記憶装置において、

前記各メモリアレイは、選択信号に従って前記電位発生回路から与えられる前記ドレイン電位をオン／オフ制御するスイッチ手段を有することを特徴とする半導体記憶装置。

【請求項 5】 複数のメモリアレイで構成され、読み出し動作時に読み出し対象のメモリセルに印加するドレイン電位を生成するドレイン電位発生回路を備えた電氣的に書き込みが可能な不揮発性の半導体記憶装置において、

前記電位発生回路を前記複数のメモリアレイ毎に設け、該メモリアレイが選択されたときに、対応する電位発生回路が前記ドレイン電位を発生して該選択されたメモリアレイに供給するように構成したことを特徴とする半導体記憶装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

【0 0 0 2】

本発明は、電氣的に書き込みが可能な不揮発性の半導体記憶装置、特にその読み出し動作においてメモリセルに対するドレイン電位を発生する回路に関するものである。

【0 0 0 3】

【従来の技術】

【0 0 0 4】

【特許文献 1】

特開 2 0 0 0 - 1 1 6 6 8 号公報

【特許文献 2】

特開平 6 - 2 1 5 5 8 5 号公報

【特許文献 3】

特開平 6 - 3 4 2 5 9 8 号公報

【0 0 0 5】

図 2 は、従来の半導体記憶装置の一例を示す構成図である。

この半導体記憶装置は、電氣的に書き込みが可能な不揮発性のメモリで、複数のメモリアレイ  $MA_k$  ( $k = 0 \sim p$ ) を備えている。各メモリアレイ  $MA_k$  は同一構成で、平行に配置された複数のワード線  $WL_i$  ( $i = 0 \sim m$ ) と、これに交差して配置されたドレイン線  $DL_j$  ( $j = 0 \sim n$ ) を有し、各ドレイン線  $DL_j$  ,  $DL_{j+1}$  間には、ソース線  $SL_j$  が平行に配置されている。

## 【0006】

各ワード線 $WL_i$ 、ドレイン線 $DL_j$ 及びソース線 $SL_j$ の交差箇所には、メモリセル $MCE_{i,j}$ が配置され、各ワード線 $WL_i$ 、ドレイン線 $DL_{j+1}$ 及びソース線 $SL_j$ の交差箇所には、メモリセル $MCO_{i,j}$ が配置されている。以下の説明において、構成要素を具体的に指定する場合以外は、 $i, j$ 等の添字は省略する。

## 【0007】

メモリセル $MCE, MCO$ は、浮遊ゲートを有する電界効果トランジスタ（以下、「FET」という）で構成され、その制御ゲート、ドレイン及びソースは、それぞれ対応するワード線 $WL$ 、ドレイン線 $DL$ 及びソース線 $SL$ に接続されている。

## 【0008】

メモリセル $MCE, MCO$ の浮遊ゲートに電荷が存在しないときは、FETの閾値電圧が低くなってオン状態（例えば、記憶内容“1”）となり、電荷が存在すると閾値電圧が上昇してオフ状態（例えば、記憶内容“0”）となる。浮遊ゲートは他の電極から絶縁されているので、例えばワード線 $WL$ に高電圧を印加して電荷を蓄積すると、電源を切断してもその記憶内容が保存される。

## 【0009】

各ドレイン線 $DL_j$ は、それぞれNチャネルMOSトランジスタ（以下、「NMOS」という） $1_j$ を介してドレイン電位 $MCD$ に接続されている。偶数番目のNMOS $1_j$ のゲートには偶数選択信号 $SEV$ が与えられ、奇数番目のNMOS $1_j$ のゲートには奇数選択信号 $SOD$ が与えられ、それぞれオン／オフ制御されるようになっている。

## 【0010】

また、各ソース線 $SL_j$ は、メモリアレイ選択信号 $MAS$ で共通にオン／オフ制御されるNMOS $2_j$ を介してビット線 $BL_j$ に接続されている。ビット線 $BL_j$ には、各メモリアレイ $MA$ のソース線 $SL_j$ が、それぞれのNMOS $2_j$ を介して接続されている。

## 【0011】

更に、ビット線 $BL_0$ は、 $NMOS\ 3_0$ を介してデータ線 $DL_0$ に接続され、ビット線 $BL_n$ は、 $NMOS\ 4_n$ を介してデータ線 $DL_1$ に接続されている。また、ビット線 $BL_1 \sim BL_{n-1}$ は、それぞれ $NMOS\ 3_1 \sim 3_{n-1}$ と $NMOS\ 4_1 \sim 4_{n-1}$ を介して、データ線 $DL_0$ 、 $DL_1$ に共通接続されている。そして、各 $NMOS\ 3_j$ と $NMOS\ 4_{j+1}$ は、それぞれビット線選択信号 $Y_j$ でオン／オフ制御されるようになっている。

#### 【0012】

データ線 $DL_0$ 、 $DL_1$ は、それぞれセンスアンプ(SA) $5_0$ 、 $5_1$ に接続され、このセンスアンプ $5_0$ 、 $5_1$ から、所定の論理レベルのデータ $D_0$ 、 $D_1$ が出力されるようになっている。

#### 【0013】

各メモリアレイMAのワード線WLに対する選択信号、偶数選択信号SEV、奇数選択信号SOD、及びメモリアレイ選択信号MASは、図示しないアドレスデコーダから出力されるワード線選択信号 $XP_0 \sim XP_m$ 、メモリアレイ選択信号 $MAS_0 \sim MAS_p$ 、及び偶数奇数選択信号YEV、YODに基づいて、対応するメモリアレイ駆動回路MADRから与えられている。また、 $NMOS\ 3$ 、 $4$ に対するビット線選択信号Yは、アドレスデコーダから与えられている。一方、各メモリアレイMAに対するドレイン電位MCDは、ドレイン電位発生回路10から共通に与えられるようになっている。

#### 【0014】

ドレイン電位発生回路10は、チップ選択信号／CE（但し、「／」は反転を意味する）によって、この半導体記憶装置がアクティブ状態にされたときに、各メモリアレイMAの読み出し動作のために、電源電圧VCC（例えば、3V）よりも十分低いドレイン電位MCD（例えば、1.2V）を発生するものである。

#### 【0015】

このドレイン電位発生回路10は、チップ選択信号／CEで導通状態が制御されるPチャネルMOSトランジスタ（以下、「PMOS」という）11と $NMOS\ 12$ を有している。PMOS11のソースは電源電圧VCCに接続され、ドレインはノードN1に接続されている。ノードN1には $NMOS\ 12$ のドレインが

接続され、このNMOS 12のソースが接地電位GNDに接続されている。

【0016】

更に、ノードN1にはNMOS 13のドレインが接続され、このNMOS 13のソースとゲートが、それぞれ接地電位GNDとノードN2に接続されている。ノードN2にはNMOS 14のソースが接続され、このNMOS 14のゲートはノードN1に接続されている。NMOS 14のドレインは、ゲートが接地電位GNDに接続されたPMOS 15を介して、電源電圧VCCに接続されている。そして、ノードN2からドレイン電位MCDが出力されるようになっている。

【0017】

次に動作を説明する。

【0018】

このような半導体記憶装置において、メモリセルに対する読み出し動作を行う場合、チップ選択信号／CEが“L”されて、アクティブ状態が設定される。これにより、PMOS 11とNMOS 12は、それぞれオン状態とオフ状態となり、ノードN1は“H”になる。ノードN1が“H”になると、NMOS 14はオン状態となり、ノードN2はオン状態のNMOS 14とPMOS 15を介して電源電圧VCCに接続され、このノードN2の電圧が上昇する。ノードN2の電圧はNMOS 13のゲートに帰還され、このNMOS 13がオン状態になる。

【0019】

これにより、ノードN1には、電源電圧VCCがPMOS 11とNMOS 13で分圧された電圧が出力される。ノードN1の電圧は、更にNMOS 14のゲートに与えられる。このような帰還ループにより、ノードN2から出力されるドレイン電位MCDは、電源電圧VCCよりも十分低い1.2V程度になる。このため、読み出し動作時に、メモリセルに誤ってデータが書き込まれるというおそれなくなり、記憶内容が変化せずに保持される。

【0020】

一方、この半導体記憶装置に対する読み出し動作が行われなときには、チップ選択信号／CEが“H”され、スタンバイ状態が設定される。これにより、ドレイン電位発生回路10のPMOS 11とNMOS 12は、それぞれオフ状態と



オン状態となり、ノードN1は接地電位GNDになる。ノードN1が接地電位GNDになると、NMOS14はオフ状態となり、ノードN2はオープン状態となる。この結果、ドレイン電位MCDは出力されず、漏れ抵抗等により実質的に接地電位GNDになる。これにより、各メモリアレイMAにはドレイン電流が流れず、スタンバイ状態における消費電流を削減することができる。

#### 【0021】

【発明が解決しようとする課題】

#### 【0022】

しかしながら、従来の半導体記憶装置では、次のような課題があった。

#### 【0023】

メモリ容量が増加して、メモリアレイやビット線の数が増えると、ドレイン電位MCDを供給する配線の総延長が長くなり、その配線等の寄生容量による負荷が増大する。このため、チップ選択信号／CEによってスタンバイ状態からアクティブ状態に切り替えられたときに、各メモリアレイMAに供給されるドレイン電位MCDの立ち上がりが遅延し、正常な読み出し動作ができなくなるという課題があった。

#### 【0024】

本発明は、前記従来技術が持っていた課題を解決し、スタンバイ状態からアクティブ状態への切り替え時に、アクセス遅延が発生しないMCD発生回路を備えた半導体記憶装置を提供するものである。

#### 【0025】

【課題を解決するための手段】

#### 【0026】

前記課題を解決するために、本発明の内の第1の発明は、読み出し動作時に読み出し対象のメモリセルに印加するドレイン電位を生成する電位発生回路を備えた電氣的に書き込みが可能な不揮発性の半導体記憶装置において、前記電位発生回路は、動作許可信号が与えられたときに所定の駆動能力で前記ドレイン電位を生成する第1の発生手段と、該動作許可信号の有無に拘らず該所定の駆動能力よりも低い駆動能力で該ドレイン電位を生成する第2の発生手段を有している。

**【0027】**

第1の発明によれば、以上のように半導体記憶装置を構成したので、次のような作用が行われる。

**【0028】**

電位発生回路では、第2の発生手段により、動作許可信号の有無に拘らず所定の駆動能力よりも低い駆動能力でドレイン電位が生成され、メモリセルに供給される。そして、読み出し動作の動作許可信号が与えられると、第1の発生手段によって所定の駆動能力でドレイン電位が生成され、読み出し対象のメモリセルに印加される。これにより、常にドレイン電位は所定の電位に保持され、アクセス遅延の生じるおそれがない。

**【0029】**

第2の発明は、電位発生回路を、動作許可信号が与えられたときに一時的に前記ドレイン電位を所定の電位よりも高い値に設定するように構成している。

**【0030】**

第3の発明は、電位発生回路を、動作許可信号に基づいて出力電位を入力側に帰還して所定の前記ドレイン電位を生成する電位発生手段と、該動作許可信号が与えられたときに一時的に該出力電位の帰還を停止させて該ドレイン電位を上昇させる帰還停止手段とを有する構成にしている。

**【0031】**

第2または第3の発明によれば、動作許可信号が与えられたときに、電位発生回路で発生されるドレイン電位が一時的に所定の電位よりも高くなる。これにより、メモリセルに印加されるドレイン電位は、急速に上昇し、アクセス遅延の発生を抑制することができる。

**【0032】**

第4の発明は、読み出し動作時に読み出し対象のメモリセルに印加するドレイン電位を生成して、複数のメモリアレイに供給するドレイン電位発生回路を備えた電氣的に書き込みが可能な不揮発性の半導体記憶装置において、前記各メモリアレイは、選択信号に従って前記電位発生回路から与えられる前記ドレイン電位をオン／オフ制御するスイッチ手段を有している。

**【0033】**

第4の発明によれば、次のような作用が行われる。

**【0034】**

読み出し動作の動作許可信号が与えられると、電位発生回路によってドレイン電位が生成され、各メモリアレイに供給される。各メモリアレイでは、選択信号に従ってスイッチ手段がオン／オフ制御され、選択されたメモリアレイにのみ、ドレイン電位が供給される。

**【0035】**

第5の発明は、複数のメモリアレイで構成され、読み出し動作時に読み出し対象のメモリセルに印加するドレイン電位を生成する電位発生回路を備えた電氣的に書き込みが可能な不揮発性の半導体記憶装置において、この電位発生回路を複数のメモリアレイ毎に設け、該メモリアレイが選択されたときに、対応する電位発生回路が前記ドレイン電位を発生して該選択されたメモリアレイに供給するように構成している。

**【0036】**

第5の発明によれば、次のような作用が行われる。

**【0037】**

読み出し動作時に、選択されたメモリアレイに対応して設けられた電位発生回路からドレイン電位が発生され、その選択されたメモリアレイに供給される。

**【0038】****【発明の実施の形態】****【0039】**

(第1の実施形態)

**【0040】**

図1は、本発明の第1の実施形態を示す半導体記憶装置の構成図である。

**【0041】**

この半導体記憶装置は、図2の半導体記憶装置におけるドレイン電位発生回路10に代えて、構成の異なるドレイン電位発生回路10Aを設けている。その他の構成は、図2と同様であり、共通の要素には共通の符号が付されている。

## 【0042】

この半導体記憶装置は、図2の半導体記憶装置と同様に、電氣的に書き込みが可能な不揮発性のメモリで、データを記憶するための複数のメモリアレイ $MA_k$  ( $k=0\sim p$ )を備えている。各メモリアレイ $MA_k$ は同一構成で、例えばメモリアレイ $MA_0$ に示すように、平行に配置された複数のワード線 $WL_i$  ( $i=0\sim m$ )と、これに交差して配置されたドレイン線 $DL_j$  ( $j=0\sim n$ )を有している。更に、各ドレイン線 $DL_j$ 、 $DL_{j+1}$ 間には、ソース線 $SL_j$ が平行に配置されている。

## 【0043】

各ワード線 $WL_i$ 、ドレイン線 $DL_j$ 及びソース線 $SL_j$ の交差箇所には、偶数側のメモリセル $MCE_{i,j}$ が配置され、各ワード線 $WL_i$ 、ドレイン線 $DL_{j+1}$ 及びソース線 $SL_j$ の交差箇所には、奇数側のメモリセル $MCO_{i,j}$ が配置されている。

## 【0044】

メモリセル $MCE$ 、 $MCO$ は、浮遊ゲートを有するFETで構成され、その制御ゲート、ドレイン及びソースは、それぞれ対応するワード線 $WL$ 、ドレイン線 $DL$ 及びソース線 $SL$ に接続されている。

## 【0045】

メモリセル $MCE$ 、 $MCO$ の浮遊ゲートに電荷が存在しないときは、FETの閾値電圧が低くなってオン状態（例えば、記憶内容“1”）となり、電荷が存在すると閾値電圧が上昇してオフ状態（例えば、記憶内容“0”）となる。浮遊ゲートは他の電極から絶縁されているので、例えばワード線 $WL$ に高電圧を印加して電荷を蓄積すると、電源を切断してもその記憶内容が保存されるようになる。

## 【0046】

各ドレイン線 $DL_j$ は、それぞれ $NMOS1_j$ を介してドレイン電位 $MCD$ に接続されている。偶数番目の $NMOS1_j$ のゲートには偶数選択信号 $SEV$ が与えられ、奇数番目の $NMOS1_j$ のゲートには奇数選択信号 $SOD$ が与えられ、それぞれオン／オフ制御されるようになっている。

## 【0047】

また、各ソース線  $SL_j$  は、メモリアレイ選択信号  $MAS$  で共通にオン／オフ制御される  $NMOS2_j$  を介してビット線  $BL_j$  に接続されている。ビット線  $BL_j$  には、各メモリアレイ  $MA$  のソース線  $SL_j$  が、それぞれの  $NMOS2_j$  を介して接続されている。

## 【0048】

更に、ビット線  $BL_0$  は、 $NMOS3_0$  を介してデータ線  $DL_0$  に接続され、ビット線  $BL_n$  は、 $NMOS4_n$  を介してデータ線  $DL_1$  に接続されている。また、ビット線  $BL_1 \sim BL_{n-1}$  は、それぞれ  $NMOS3_1 \sim 3_{n-1}$  と  $NMOS4_1 \sim 4_{n-1}$  を介して、データ線  $DL_0$ 、 $DL_1$  に共通接続されている。そして、各  $NMOS3_j$  と  $NMOS4_{j+1}$  は、それぞれビット線選択信号  $Y_j$  でオン／オフ制御されるようになっている。

## 【0049】

データ線  $DL_0$ 、 $DL_1$  は、それぞれセンスアンプ  $5_0$ 、 $5_1$  に接続され、このセンスアンプ  $5_0$ 、 $5_1$  から、所定の論理レベルのデータ  $D_0$ 、 $D_1$  が出力されるようになっている。

## 【0050】

各メモリアレイ  $MA$  のワード線  $WL$  に対する選択信号、偶数選択信号  $SEV$ 、奇数選択信号  $SOD$ 、及びメモリアレイ選択信号  $MAS$  は、図示しないアドレスデコーダから出力されるワード線選択信号  $XP_0 \sim XP_m$ 、メモリアレイ選択信号  $MAS_0 \sim MAS_p$ 、及び偶数奇数選択信号  $YEV$ 、 $YOD$  に従って、各メモリアレイ駆動回路  $MADR$  から与えられるようになっている。また、 $NMOS3$ 、 $4$  に対するビット線選択信号  $Y$  は、アドレスデコーダから与えられるようになっている。

## 【0051】

一方、各メモリアレイ  $MA$  に対するドレイン電位  $MCD$  は、ドレイン電位発生回路  $10A$  から共通に与えられるようになっている。ドレイン電位発生回路  $10A$  は、チップ選択信号  $CE$  によって、半導体記憶装置がアクティブ状態にされたときに、各メモリアレイ  $MA$  の読み出し動作のために、電源電圧  $VCC$ （例え

ば、3 V) よりも十分低いドレイン電位MCD (例えば、1.2 V) を発生するものである。

#### 【0052】

このドレイン電位発生回路10Aは、チップ選択信号／CEで導通状態が制御されるPMOS11とNMOS12を有している。PMOS11のソースは電源電圧VCCに接続され、ドレインはノードN1に接続されている。ノードN1にはNMOS12のドレインが接続され、このNMOS12のソースが接地電位GNDに接続されている。

#### 【0053】

更に、ノードN1にはNMOS13のドレインが接続され、このNMOS13のソースとゲートが、それぞれ接地電位GNDとノードN2に接続されている。ノードN2にはNMOS14のソースが接続され、このNMOS14のゲートはノードN1に接続されている。NMOS14のドレインは、ゲートが接地電位GNDに接続されたPMOS15を介して、電源電圧VCCに接続されている。

#### 【0054】

また、NMOS14のドレインとソースには、NMOS16のドレインとソースがそれぞれ接続され、このNMOS16のゲートが、PMOS17とNMOS18のドレインに接続されている。PMOS17のゲートとソースは、それぞれ接地電位GNDと電源電圧VCCに接続され、NMOS18のゲートとソースは、それぞれノードN2と接地電位GNDに接続されている。そして、ノードN2からドレイン電位MCDが出力されるようになっている。

#### 【0055】

なお、これらのPMOS17とNMOS18のオン抵抗は、PMOS11とNMOS12のオン抵抗に比べて十分大きく設定されている。

#### 【0056】

次に動作を説明する。

#### 【0057】

このような半導体記憶装置において、メモリセルMCに対する読み出し動作が行われなときには、チップ選択信号／CEが“H”され、スタンバイ状態に設

定される。これにより、ドレイン電位発生回路 10A の PMOS 11 と NMOS 12 は、それぞれオフ状態とオン状態となり、ノード N1 は接地電位 GND になる。ノード N1 が接地電位 GND になると、NMOS 14 はオフ状態となる。

#### 【0058】

一方、PMOS 15, 17 は常時オン状態となっているので、ノード N3 は “H” となり、NMOS 16 はオン状態となる。これにより、ノード N2 はオン状態の NMOS 16 と PMOS 15 を介して電源電圧 VCC に接続され、このノード N2 の電圧が上昇する。ノード N2 の電圧は NMOS 13, 18 のゲートに与えられ、これらの NMOS 13, 18 がオン状態になる。

#### 【0059】

これにより、ノード N3 には、電源電圧 VCC が PMOS 17 と NMOS 18 で分圧されて出力される。ノード N3 の電圧は、更に NMOS 16 のゲートに与えられる。このような帰還ループにより、ノード N2 から出力されるドレイン電位 MCD は、電源電圧 VCC よりも十分低い 1.2 V 程度に保持される。このとき、オン状態の PMOS 17 と NMOS 18 を通して、電源電圧 VCC から接地電位 GND に貫通電流が流れるが、これらの PMOS 17 と NMOS 18 のオン抵抗は極めて大きな値に設定されているので、その電流は極めて小さな値である。

#### 【0060】

次に、メモリセルに対する読み出し動作を行うために、チップ選択信号 /CE が “L” に設定されてアクティブ状態になると、PMOS 11 と NMOS 12 は、それぞれオン状態とオフ状態となる。一方、NMOS 13 はオン状態のままであり、ノード N1 には、電源電圧 VCC が PMOS 11 と NMOS 13 で分圧されて出力される。ノード N1 の電圧は、更に NMOS 14 のゲートに与えられる。このような帰還ループにより、ノード N2 から出力されるドレイン電位 MCD は、スタンバイ状態と同様に電源電圧 VCC よりも十分低い 1.2 V 程度に保持される。

#### 【0061】

ドレイン電位発生回路 10A で発生されたドレイン電位 MCD は、各メモリア

レイMAに供給され、メモリアレイ選択信号MA S kで選択されたメモリアレイMA kのドレイン線DLを介して、偶数側または奇数側のメモリセルMCのドレインに印加される。更に、選択されたメモリアレイMA k中で、選択信号によって選択されたワード線WLに接続されるメモリセルMCのオン／オフ状態が、ソース線SLを介してビット線BLに出力される。

#### 【0062】

各ビット線BLは、更にビット線選択信号Yによって選択され、データ線DL<sub>0</sub>、DL<sub>1</sub>にその状態が出力され、センスアンプ5<sub>0</sub>、5<sub>1</sub>で所定の論理レベルに変換されてデータD<sub>0</sub>、D<sub>1</sub>が出力される。

#### 【0063】

以上のように、この第1の本実施形態の半導体記憶装置は、スタンバイ状態においても、アクティブ状態とほぼ同様のドレイン電位MCDを発生するために、NMOS 16、18とPMOS 17による帰還回路を追加したドレイン電位発生回路10Aを備えている。更に、PMOS 17とNMOS 18は、大きなオン抵抗のものをを用いて、貫通電流の増加を抑えている。これにより、消費電流をほとんど増加させることなく、スタンバイ状態からアクティブ状態への切り替え時におけるアクセス遅延をなくすることができるという利点がある。

#### 【0064】

(第2の実施形態)

#### 【0065】

図3は、本発明の第2の実施形態を示すドレイン電位発生回路の回路図である。このドレイン電位発生回路10Bは、図2中のドレイン電位発生回路10に代えて設けられるもので、図2中の要素と共通の要素には共通の符号が付されている。

#### 【0066】

このドレイン電位発生回路10Bは、図2中のドレイン電位発生回路10に、NMOS 19、PMOS 20、及びパルス発生回路21を設けたものである。NMOS 19のソースはノードN1に接続され、ドレインはPMOS 20を介して電源電圧VCCに接続されている。パルス発生回路21は、チップ選択信号/C



Eの立ち下がり時に、一定時間だけ“H”になるパルス信号PLSを発生するもので、このパルス信号PLSがNMOS19のゲートに与えられるようになっている。また、PMOS20のゲートは、接地電位GNDに接続されている。その他の構成は、図2中のドレイン電位発生回路10と同様である。

#### 【0067】

図4は、図3の動作を示す信号波形図である。以下、この図4を参照しつつ、図3の動作を説明する。

#### 【0068】

スタンバイ状態では、チップ選択信号／CEは“H”で、パルス発生回路21から出力されるパルス信号PLSは“L”である。従って、PMOS11とNMOS19はオフ状態であり、NMOS12はオン状態である。これにより、ノードN1の信号Sn1は“L”となり、NMOS14はオフ状態となる。そして、ノードN2から出力されるドレイン電位MCDは、近端(ne)及び遠端(fe)とも接地電圧GNDとなる。

#### 【0069】

読み出し動作の開始に伴ってチップ選択信号／CEが立ち下がると、PMOS11とNMOS12は、それぞれオン状態とオフ状態となり、ノードN1の信号Sn1は“H”になる。ノードN1が“H”になると、NMOS14はオン状態となり、ノードN2はオン状態のNMOS14とPMOS15を介して電源電圧VCCに接続されて、このノードN2の電圧が上昇する。ノードN2の電圧はNMOS13のゲートに帰還され、このNMOS13がオン状態になる。これにより、ノードN1には、電源電圧VCCがPMOS11とNMOS13で分圧されて出力される。ノードN1の電圧は、更にNMOS14のゲートに与えられる。

#### 【0070】

これと同時に、チップ選択信号／CEの立ち下がりから一定時間だけ、パルス発生回路21から出力されるパルス信号PLSが“H”になる。これにより、NMOS19がオン状態となり、ノードN2の信号Sn1は電源電圧VCC側に引き上げられ、最大で $VCC - V_t$ （但し、 $V_t$ はトランジスタの閾値電圧）まで上昇する。このため、近端のドレイン電位MCD<sub>ne</sub>は最大で $VCC - 2V_t$ ま

で上昇する。一方、遠端のドレイン電位MCD<sub>f e</sub>はドレイン電位MCD<sub>n e</sub>に遅れて上昇する。

#### 【0071】

チップ選択信号／CEの立ち下がりから一定時間が経過すると、パルス信号PLSは“L”に戻り、NMOS19はオフ状態となる。これによって、このNMOS19による信号S<sub>n1</sub>の電位上昇はなくなるが、すでにドレイン電位MCDは一定の電位まで上昇しているので、その電位がそのまま維持される。

#### 【0072】

以上のように、この第2の実施形態によれば、スタンバイ状態からアクティブ状態に変化したときに、一定時間のパルス信号PLSを発生するパルス発生回路21と、このパルス信号PLSによってドレイン電位MCDを電源電圧VCC側に引き上げるNMOS19を有している。これにより、スタンバイ状態からアクティブ状態への切り替え時に、急速にドレイン電位MCDが立ち上がり、アクセス遅延をなくすことができるという利点がある。

#### 【0073】

(第3の実施形態)

#### 【0074】

図5は、本発明の第3の実施形態を示すドレイン電位発生回路の回路図である。このドレイン電位発生回路10Cは、図2中のドレイン電位発生回路10に代えて設けられるもので、図2中の要素と共通の要素には共通の符号が付されている。

#### 【0075】

このドレイン電位発生回路10Cは、図2中のドレイン電位発生回路10のNMOS13に代えて、直列接続されたNMOS22、23を設けると共に、このNMOS23を制御するためのパルス発生回路21とインバータ24を設けたものである。NMOS22のドレインとゲートは、それぞれノードN1、N2に接続されている。

#### 【0076】

また、パルス発生回路21は、チップ選択信号／CEの立ち下がり時に、一定

時間だけ“H”になるパルス信号PLSを発生するもので、このパルス信号PLSがインバータ24で反転され、パルス信号／PLSとしてNMOS23のゲートに与えられるようになっている。その他の構成は、ドレイン電位発生回路10と同様である。

#### 【0077】

図6は、図5の動作を示す信号波形図である。以下、この図6を参照しつつ、図5の動作を説明する。

#### 【0078】

スタンバイ状態では、チップ選択信号／CE、及びパルス信号／PLSは、共に“H”である。従って、PMOS11はオフ状態、NMOS12, 23はオン状態であり、ドレイン電位MCDは接地電位GNDとなる。

#### 【0079】

読み出し動作の開始に伴ってチップ選択信号／CEが立ち下がると、PMOS11とNMOS12は、それぞれオン状態とオフ状態となり、これと同時に、チップ選択信号／CEの立ち下がりから一定時間だけ、パルス信号／PLSが“L”になる。これにより、NMOS23がオフ状態となって、NMOS22による帰還動作が停止され、ノードN1の信号S<sub>n1</sub>は電源電圧VCCまで上昇する。これにより、ノードN2に出力されるドレイン電位MCDは、 $VCC - V_t$ となる。

#### 【0080】

チップ選択信号／CEの立ち下がりから一定時間が経過すると、パルス信号／PLSは“H”に戻り、NMOS23はオン状態となる。これにより、ドレイン電位発生回路10Cは、図2中のドレイン電位発生回路10と同様の回路となり、NMOS22による帰還動作が開始され、ドレイン電位MCDは、 $VCC - V_t$ から所定の電位に変化する。

#### 【0081】

以上のように、この第3の実施形態によれば、スタンバイ状態からアクティブ状態に変化したときに、一定時間のパルス信号／PLSを発生するパルス発生回路21と、このパルス信号／PLSによってノードN1を接地電位GNDから切

り離し、ドレイン電位MCDを電源電圧VCC側に引き上げるNMOS23を有している。これにより、スタンバイ状態からアクティブ状態への切り替え時に、急速にドレイン電位MCDが立ち上がり、アクセス遅延をなくすることができるという利点がある。

#### 【0082】

(第4の実施形態)

#### 【0083】

図7は、本発明の第4の実施形態を示すメモリアレイの回路図である。このメモリアレイMAA<sub>k</sub> (但し、 $k=0\sim p$ ) は、図2中の各メモリアレイMA<sub>0</sub>～MA<sub>p</sub>に代えて設けられるもので、図2中の要素と共通の要素には共通の符号が付されている。

#### 【0084】

このメモリアレイMAA<sub>k</sub>は、ドレイン電位発生回路10から供給されるドレイン電位MCDを、スイッチ用のNMOS31<sub>k</sub>, 32<sub>k</sub>を介して、各ドレイン線DL<sub>0</sub>～DL<sub>n</sub>に与えるように構成したものである。

#### 【0085】

NMOS31<sub>k</sub>, 32<sub>k</sub>は並列に接続され、入力側にドレイン電位MCDが与えられ、それぞれ偶数選択信号SEV<sub>k</sub>と奇数選択信号SOD<sub>k</sub>によってオン／オフ制御されるようになっている。また、NMOS31<sub>k</sub>, 32<sub>k</sub>の出力側は、NMOS1<sub>0</sub>～1<sub>n</sub>を介して、各ドレイン線DL<sub>0</sub>～DL<sub>n</sub>に接続されている。その他の構成は、図2と同様である。

#### 【0086】

このようなメモリアレイMAAを備えた半導体記憶装置では、選択されたメモリアレイMMA<sub>k</sub>のNMOS31<sub>k</sub>, 32<sub>k</sub>がオン状態となり、選択されていないメモリセルアレイMMA<sub>j</sub> (但し、 $j\neq k$ ) のNMOS31<sub>j</sub>, 32<sub>j</sub>は、すべてオフ状態となる。これにより、ドレイン電位発生回路10の負荷の寄生容量が減少し、スタンバイ状態からアクティブ状態への切り替え時に、ドレイン電位MCDが正常に立ち上がる。

#### 【0087】

以上のように、この第4の実施形態によれば、各メモリアレイMAAは、選択されたときにのみ、ドレイン電位MCDの供給を受けるためのスイッチ用のNMOS 31, 32を有している。これにより、選択されていないメモリアレイMAAは、ドレイン電位発生回路10の負荷側から切り離されるので、このドレイン電位発生回路10の負荷の寄生容量を減少させることができる。従って、スタンバイ状態からアクティブ状態への切り替え時に、ドレイン電位MCDが正常に立ち上がり、アクセス遅延をなくすことができるという利点がある。

#### 【0088】

(第5の実施形態)

#### 【0089】

図8は、本発明の第5の実施形態を示すメモリアレイの回路図である。このメモリアレイMAB<sub>k</sub> (但し、 $k = 0 \sim p$ ) は、図2中のメモリアレイMA<sub>0</sub>～MA<sub>p</sub>に代えて設けられるものである。

#### 【0090】

このメモリアレイMAB<sub>k</sub>では、図7のメモリアレイMAA<sub>k</sub>のスイッチ用のNMOS 31<sub>k</sub>, 32<sub>k</sub>に代えて、スイッチ用のNMOS 33<sub>k</sub>を設け、このNMOS 33<sub>k</sub>をメモリアレイ選択信号MAS<sub>k</sub>でオン／オフ制御するようにしている。その他の構成は図7と同様である。

#### 【0091】

このメモリアレイMAB<sub>k</sub>は、図7のメモリアレイMAA<sub>k</sub>よりもスイッチ用のNMOSの数が少ないので、第4の実施形態の効果に加えて、回路規模を小さくすることができるという効果がある。

#### 【0092】

(第6の実施形態)

#### 【0093】

図9は、本発明の第6の実施形態を示すメモリアレイの回路図である。このメモリアレイMAC<sub>k</sub> (但し、 $k = 0 \sim p$ ) は、専用のドレイン電位発生回路10E<sub>k</sub>を備えたもので、図2中の各メモリアレイMA<sub>0</sub>～MA<sub>p</sub>に代えて設けられるものである。これに伴い、図2中のドレイン電位発生回路10は削除される。

## 【0094】

このメモリアレイMAC<sub>k</sub>におけるメモリセルの回路構成は、図2中のメモリアレイMA<sub>0</sub>～MA<sub>p</sub>と同様である。

## 【0095】

一方、ドレイン電位発生回路10E<sub>k</sub>は、図2中のドレイン電位発生回路10に、否定的論理和ゲート（以下、「NAND」という）25を追加したものである。即ち、NAND25によってチップ選択信号CEと、このメモリアレイMAC<sub>k</sub>に対するメモリアレイ選択信号MAS<sub>k</sub>の否定的論理和をとり、これをチップ選択信号／CEとしてドレイン電位発生回路10を制御するようにしたものである。

## 【0096】

これにより、選択されたメモリアレイMAC<sub>k</sub>のドレイン電位発生回路10E<sub>k</sub>のみが作動し、このドレイン電位発生回路10E<sub>k</sub>で発生されたドレイン電位MCD<sub>k</sub>が、このメモリアレイMAC<sub>k</sub>に供給される。

## 【0097】

以上のように、この第6の実施形態によれば、各メモリアレイMAC<sub>k</sub>は、それぞれ専用のドレイン電位発生回路10E<sub>k</sub>を有している。これにより、半導体記憶装置を適切な記憶容量のメモリアレイに分割することにより、全体の記憶容量に影響されず、適切なドレイン電位MCDを発生することが可能になり、アクセス遅延をなくすることができるという利点がある。

## 【0098】

なお、本発明は、上記実施形態に限定されず、種々の変形が可能である。この変形例としては、例えば、次のようなものがある。

## 【0099】

(a) ドレイン電位発生回路10A～10Dの構成は、図示したもの限定されない。読み出し動作時に、誤った書き込みを行わないような、適切なドレイン電位MCDを生成することができる構成であれば良い。

## 【0100】

(b) 図1の半導体記憶装置は、複数のメモリアレイMAを有しているが、1

つのメモリアレイで構成されたものにも同様に適用可能である。

**【0 1 0 1】**

(c) 図 1、及び図 7～図 9 のメモリアレイ MA は、偶数側のメモリセル MCE と奇数側のメモリセル MCO に分けて構成しているが、このような構成に限定されない。

**【0 1 0 2】**

**【発明の効果】**

**【0 1 0 3】**

以上詳細に説明したように、第 1 の発明によれば、電位発生回路は、動作許可信号の有無に拘らず、所定の駆動能力よりも低い駆動能力でドレイン電位を生成する第 2 の発生手段を有している。これにより、ドレイン電位は常に所定の電位に保持され、アクセス遅延の生じるおそれがない。

**【0 1 0 4】**

第 2 及び第 3 の発明によれば、電位発生回路は、動作許可信号が与えられたときに、一時的に所定の電位よりも高いドレイン電位を発生するように構成している。これにより、読み出し動作の開始時に、メモリセルに印加されるドレイン電位が急速に上昇し、アクセス遅延の発生を抑制することができる。

**【0 1 0 5】**

第 4 の発明によれば、半導体記憶装置を構成する複数のメモリアレイは、電位発生回路から供給されるドレイン電位を、選択信号に従ってそれぞれオン／オフ制御するスイッチ手段を有している。これにより、選択されたメモリアレイだけにドレイン電位が供給されるので、所定のドレイン電位が保持され、アクセス遅延の生ずるおそれがない。

**【0 1 0 6】**

第 5 の発明によれば、半導体記憶装置を構成する複数のメモリアレイは、それぞれ専用の電位発生回路を備えている。これにより、読み出し動作時に、選択されたメモリアレイに対応して設けられた電位発生回路からドレイン電位が発生され、その選択されたメモリアレイに供給される。従って、半導体記憶装置を複数のメモリアレイに分割することにより、全体の記憶容量に影響されずにアクセス

遅延をなくすることができる。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施形態を示す半導体記憶装置の構成図である。

【図 2】

従来の半導体記憶装置の一例を示す構成図である。

【図 3】

本発明の第 2 の実施形態を示すドレイン電位発生回路の回路図である。

【図 4】

図 3 の動作を示す信号波形図である。

【図 5】

本発明の第 3 の実施形態を示すドレイン電位発生回路の回路図である。

【図 6】

図 5 の動作を示す信号波形図である。

【図 7】

本発明の第 4 の実施形態を示すメモリアレイの回路図である。

【図 8】

本発明の第 5 の実施形態を示すメモリアレイの回路図である。

【図 9】

本発明の第 6 の実施形態を示すメモリアレイの回路図である。

【符号の説明】

MA      メモリセル

10      ドレイン電位発生回路

11, 15, 17, 20      PMOS

12～14, 16, 18, 19, 22, 23      NMOS

21      パルス発生回路

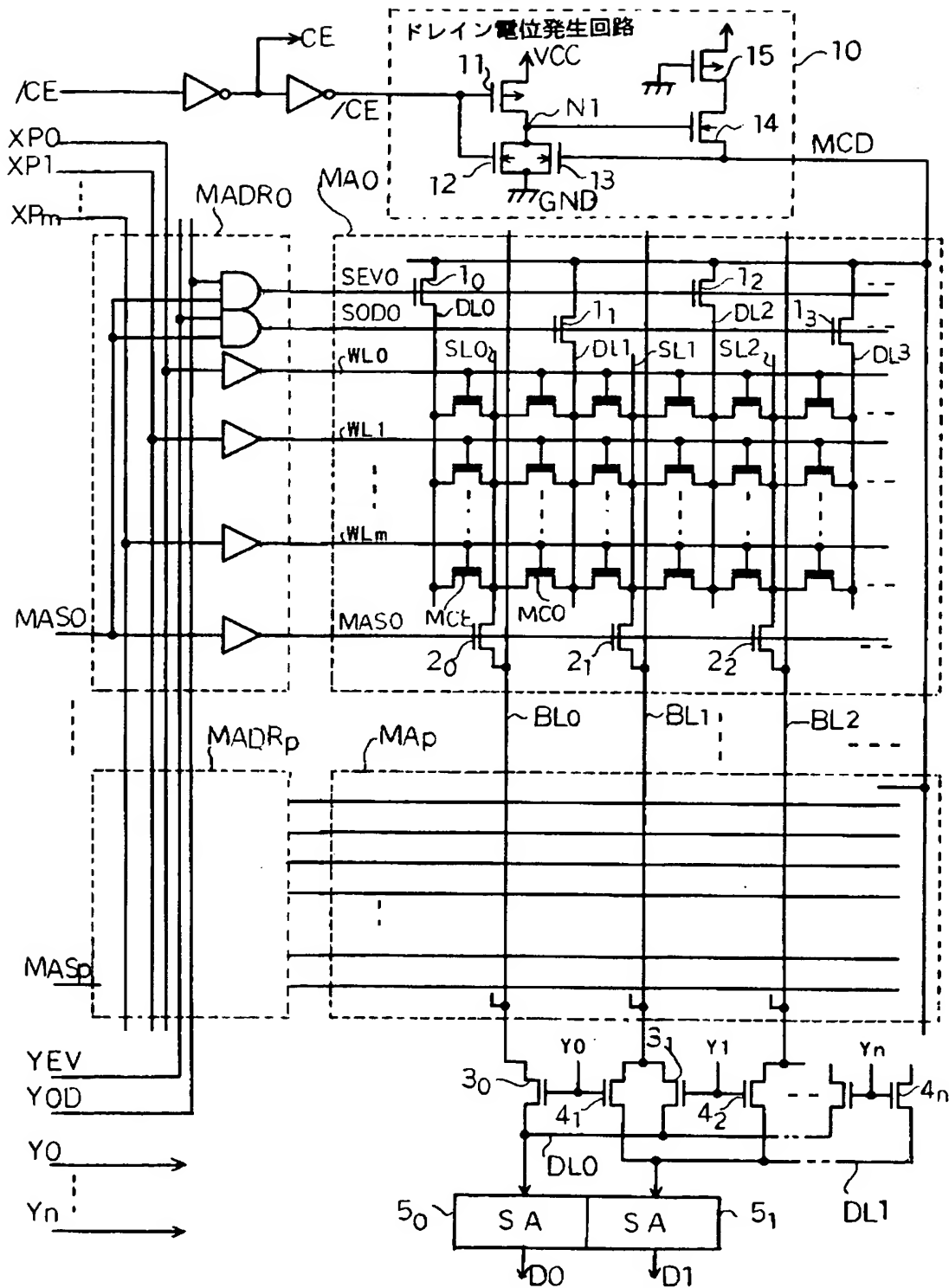
25      NAND

31～33      スイッチ (NMOS)



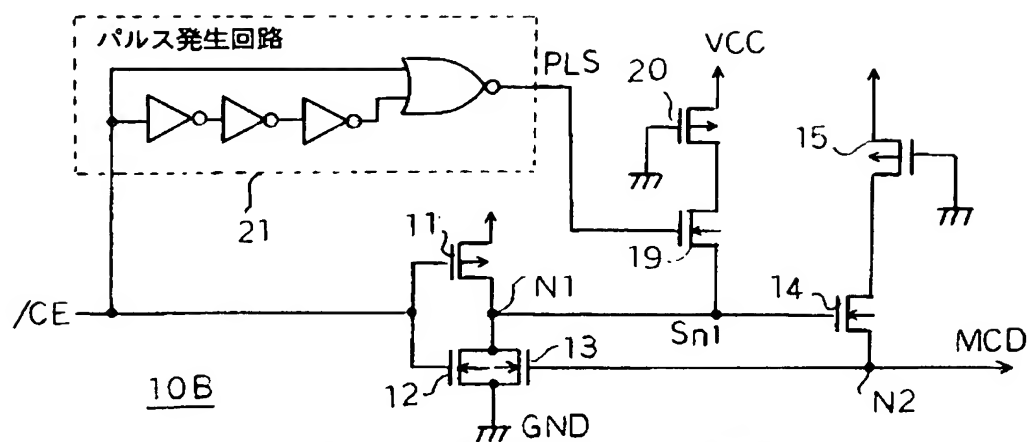


【図 2】



従来の半導体記憶装置

【図 3】



本発明の第 2 の実施形態のドレイン電位発生回路

【図 4】

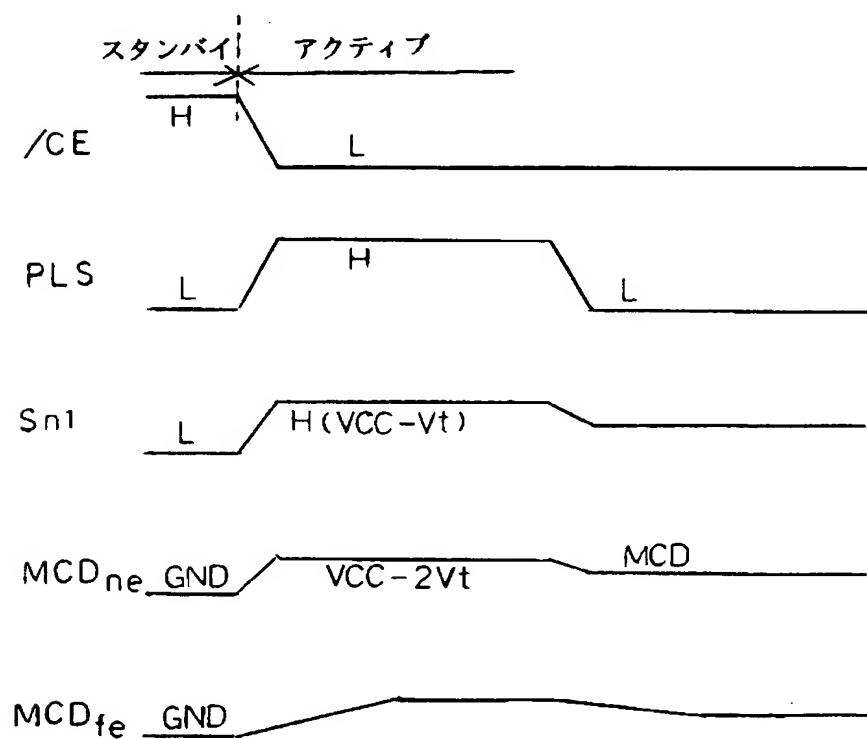
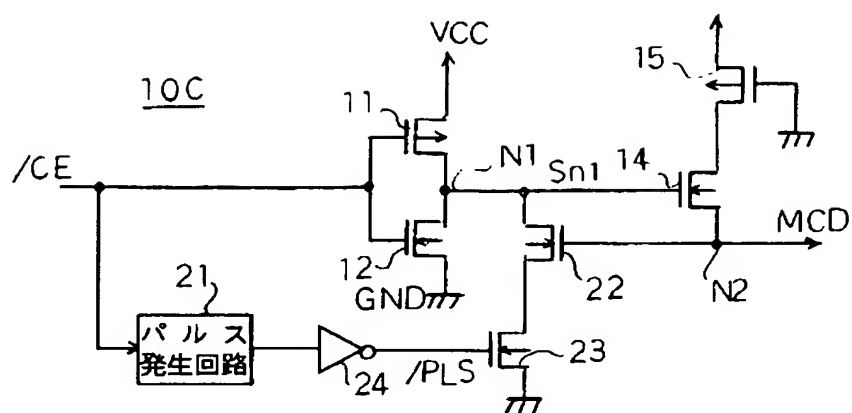


図 3 の信号波形

【図 5】



本発明の第 3 の実施形態のドレイン電位発生回路

【図 6】

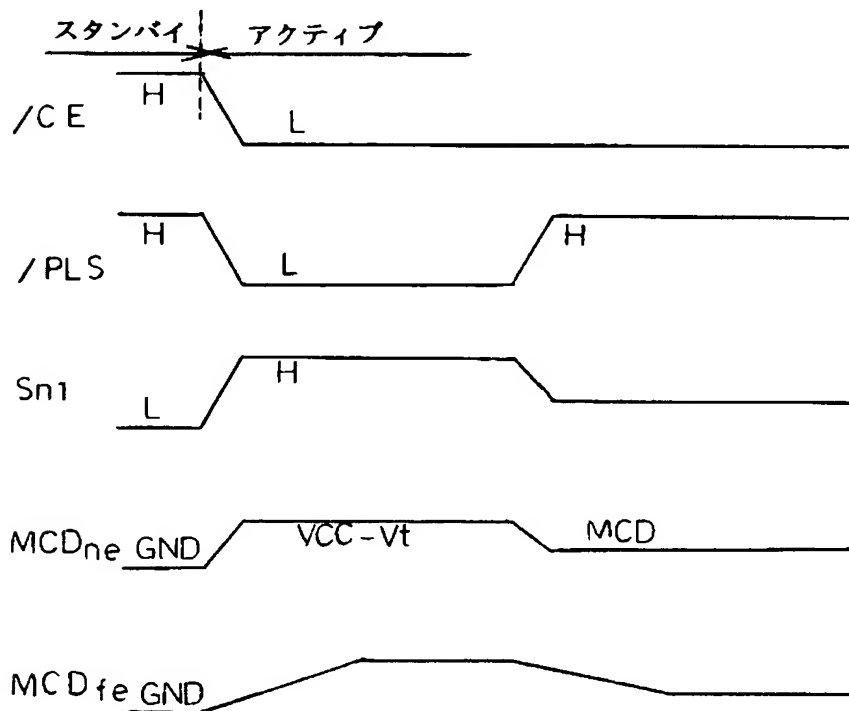
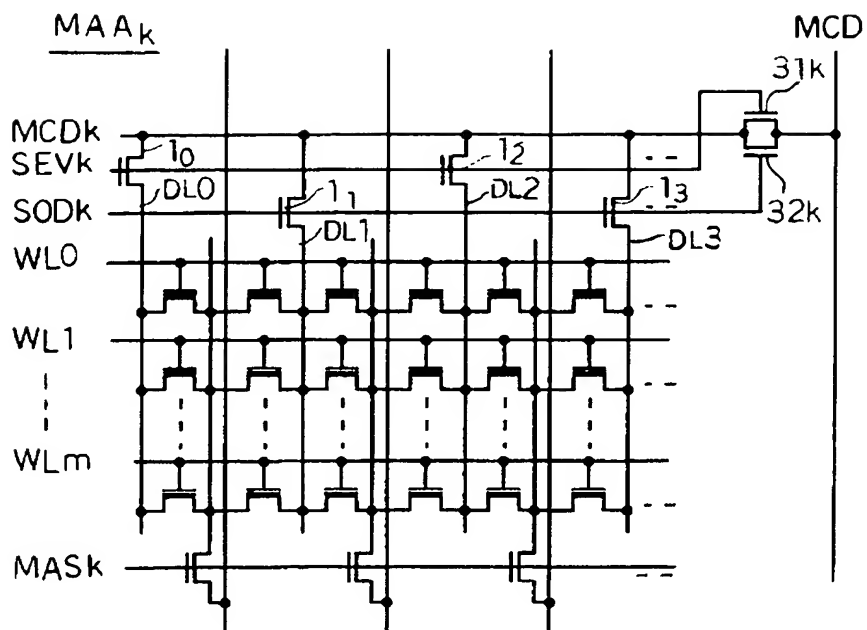


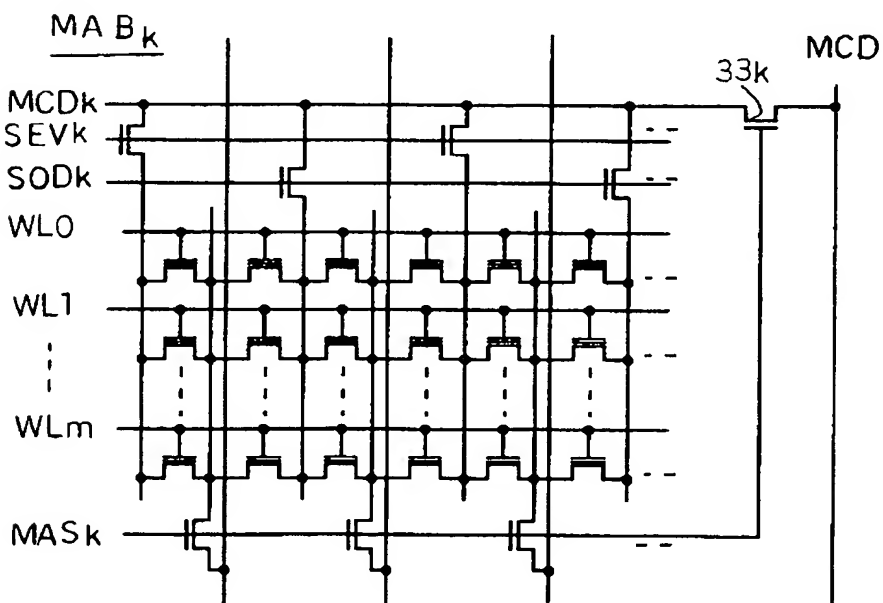
図 5 の信号波形

【図 7】



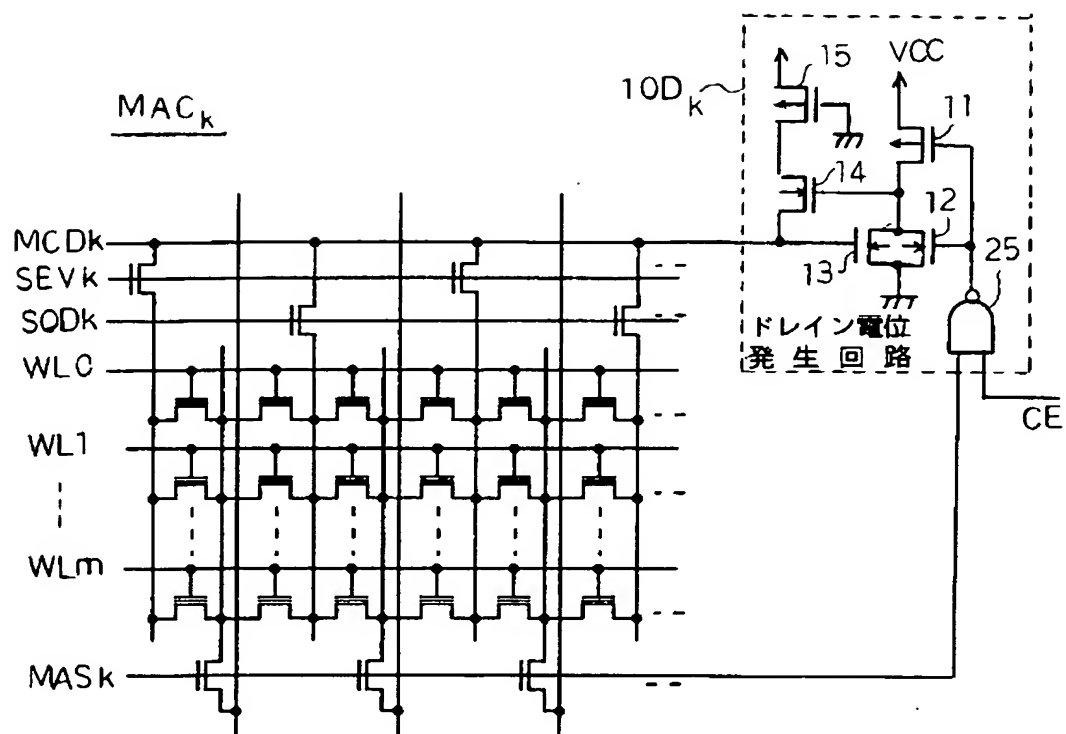
本発明の第 4 の実施形態のメモリアレイ

【図 8】



本発明の第 5 の実施形態のメモリアレイ

【図 9】



本発明の第 6 の実施形態のメモリアレイ

【書類名】 要約書

【要約】

【課題】 スタンバイ状態からアクティブ状態への切り替え時に、アクセス遅延が発生しない半導体記憶装置を提供する。

【解決手段】 ドレイン電位発生回路 10Aにおいて、オン抵抗の大きなPMOS15, 17とNMOS16, 18により、チップ選択信号／CEの有無に拘らず、駆動能力は小さいが所定のドレイン電位MCDが発生され、各メモリアレイMA0～MApに供給される。チップ選択信号／CEが“L”になって読み出し動作が開始されると、PMOS11, 15とNMOS12～14により、所定の駆動能力でドレイン電位MCDが発生される。これにより、スタンバイ状態からアクティブ状態への切り替え時に、常に所定のドレイン電位MCDが供給されることになり、メモリセルに対するアクセス遅延の生ずるおそれがない。

【選択図】 図1

特願 2 0 0 2 - 2 9 1 1 1 6

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 0 2 9 5 ]

1. 変更年月日

1 9 9 0 年 8 月 2 2 日

[変更理由]

新規登録

住 所

東京都港区虎ノ門 1 丁目 7 番 1 2 号

氏 名

沖電気工業株式会社



特願 2 0 0 2 - 2 9 1 1 1 6

出 願 人 履 歴 情 報

識別番号

[ 5 9 1 0 4 9 8 9 3 ]

1. 変更年月日

1 9 9 9 年 6 月 1 7 日

[変更理由]

名称変更

住 所

宮崎県宮崎郡清武町大字木原 7 0 8 3 番地

氏 名

株式会社 沖マイクロデザイン